

## 465117--Patent Information

Published Serial No. 465117



Title

Manufacturing method of polysilicon thin film transistor containing lightly doped drain structure with the capability of manufacturing LDD having different lengths in different regions with the pretty good uniformity control

Patent type

B

Date of Grant

2001/11/21

Application Number 089125479

Filing Date

2000/11/30

IPC

H01L29/786

Inventor

CHANG, SHIH-CHANG(TW)

CHEN, JR-HONG(TW)

LU, I-MIN(TW)

Applicant

Name

Country Individual/Company

INDUSTRIAL TECHNOLOGY

RESEARCH INSTITUTE

TW

Company

Abstract

A kind of manufacturing method for polysilicon thin film transistor containing lightly doped drain (LDD) structure is disclosed in the present invention. The invented method uses fewer steps of masks to manufacture structures containing gate, n+, n-, and p+ dopings. In addition, the LDD region is controlled through the use of masks such that drain and source have symmetric and completely self-aligned structures. The manufacturing method mainly contains the steps such as gate preprocessing, grey-scale mask exposure, n+, n-, and p+ dopings. Gate preprocessing can use the existed process that includes forming polysilicon islands, forming gate insulation layer, and sputtering gate material. In the grey-scale mask exposure, gate pattern is exposed at N-type thin film transistor region (using the first mask), in which the exposure mask is the grey-scale mask and the grey-scale part is the LDD region. Gate bus line and P-type gate are defined after photoresist is spread and exposed (using the second mask); that means gate bus line and P-type gate are processed in p+ doping. The present manufacturing method can manufacture LDD with different lengths in different regions, in which the uniformity can be controlled pretty well.

八 廿 本

申請日期: 89. 11. 30

案號: 89125629

90年9月26日 修正  
補充

類別: H01L 29/186

(以上各欄由本局填註)

# 發明專利說明書

465117

發明名稱

中文

含淺撓入汲極結構之多晶矽薄膜電晶體的製作方法

英文

發明人

姓名  
(中文)

1. 張世昌  
2. 陳志宏  
3. 陸一民

姓名  
(英文)

1. Shih-Chang Chang  
2. Jr-Hong Chen  
3. I-Min Lu

國籍

1. 中華民國 2. 中華民國 3. 中華民國

住、居所

1. 桃園縣八德市廣隆街124巷37號  
2. 新竹縣竹東鎮康莊街26巷136號  
3. 台北市實踐街5巷7號3樓

姓名  
(名稱)  
(中文)

1. 財團法人工業技術研究院

姓名  
(名稱)  
(英文)

1. Industrial Technology Research Institute

國籍

1. 中華民國

申請人

住、居所  
(事務所)

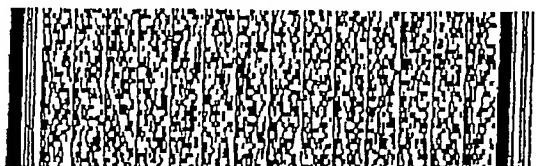
1. 新竹縣竹東鎮中興路四段195號

代表人  
姓名  
(中文)

1. 翁政義

代表人  
姓名  
(英文)

1.



FREE

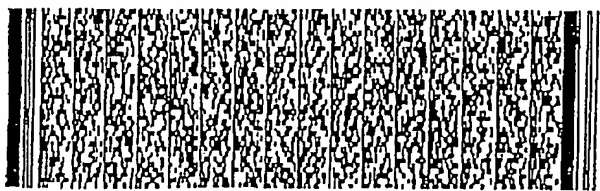
第 1 頁

BEST AVAILABLE COPY

## 四、中文發明摘要 (發明之名稱：含汲撓入汲極結構之多晶矽薄膜電晶體的製作方法)

一種含汲撓入汲極(LDD)結構之多晶矽薄膜電晶體的製作方法。此方法使用較少道的光罩，製作出包含閘極、 $n^+$ 、 $n^-$ 、和 $p^+$ 撓入的結構，且LDD區域是以光罩來控制，故在汲極與源極具對稱且完全自我對準的結構。此製作方法主要包含閘極前處理、灰階光罩曝光、 $n^+$ 撓入、 $n^-$ 撓入，和 $p^+$ 撓入的步驟。閘極前處理可用既有製程，包括形成多晶矽島丘、形成閘極絕緣層、和濺鍍閘極材料。在灰階光罩曝光中，只在N型薄膜電晶體區域曝上閘極圖案(使用第一道光罩)，曝光的光罩為灰階光罩，灰階部分即LDD區域。閘極匯流排線與P型閘極則再上光阻曝光而定義(使用第二道光罩)，亦即在 $p^+$ 撓入中處裡。此製作方法可在不同區域，製作不同長度的LDD，並將其均勻度控制的相當好。

## 英文發明摘要 (發明之名稱：)



## 五、發明說明(1)

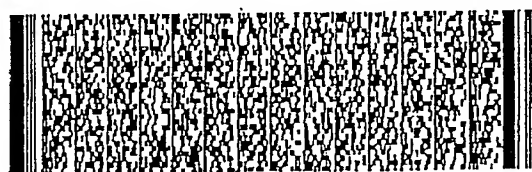
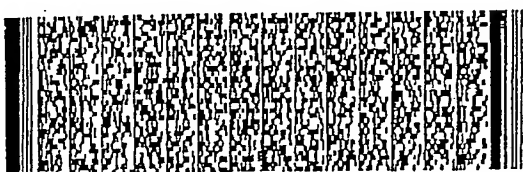
## 發明領域

本發明係關於一種低溫多晶矽(low temperature poly-silicon, LTPS)薄膜電晶體(thin film transistor, TFT)的製作方法。特別是關於一種含淺摻入汲極(lightly-doped drain, LDD)結構之多晶矽薄膜電晶體的製作方法，此製作方法利用較少道的光罩(mask)來控制LDD區域，並使LDD區域在汲極與源極具對稱(symmetric)且完全自我對準(self-aligned)的結構。

## 發明背景

多晶矽薄膜電晶體易於製作且製作成本低。但是它的關電流(off-current)與時下諸多的非晶矽薄膜電晶體來相比，就顯得大很多。因此，為減小薄膜電晶體的關電流，在諸多的情況下，採用含有補償(offset)結構的LDD結構的多晶矽薄膜電晶體。

在美國專利5,677,206的文獻裡，揭露了一種含有LDD結構的多晶矽薄膜電晶體的製作方法。圖1a~圖1g說明此多晶矽薄膜電晶體的製作流程。參考圖1a，依序包含以下步驟：(a1)在一基板(substrate)的上方植入一主動多晶矽層(active poly-silicon layer)11；(a2)在此多晶矽層11的上方植入一下層熱氧化物層(lower thermal oxide



## 五、發明說明 (2)

layer)12;(a3)在此下層熱氧化物層12的上方植入一氮化物層(nitride layer)13;(a4)在此氮化物層13的上方植入一上層熱氧化物層(upper thermal oxide layer)14;以及(a5)藉由在此上層熱氧化物層14的上方植入一閘多晶矽(gate poly-silicon)15,來形成一閘多晶矽圖案,然後修繕此多晶矽圖案15。圖1b說明在此多晶矽圖案15的上方植入一層頂層熱氧化物層(top thermal oxide layer)16的結構。圖1c說明以此頂層熱氧化物層16為光罩,利用黃光技術(photolithography)去除上層氧化物層14和氮化物層13的部分,使下層熱氧化物層12的部分曝光。圖1d說明藉由穿梭過下層熱氧化物層12被曝光的部分,低劑量(light-dose)植入離子於主動多晶矽層11內而形成一淡摻入區域(lightly doped region)18。圖1e說明形成一多晶間隙(poly-spacer)17於頂層熱氧化物層的上方,然後修繕此多晶間隙,以形成一多晶間隙圖案(pattern)。圖1f說明穿梭過下層熱氧化物層12,而沒有被多晶間隙17覆蓋的部分,藉由高劑量(high-dose)植入離子於主動多晶矽層11內,而於主動多晶矽外圍的周邊形成一濃摻入區域(heavily doped region)19。最後,去除此多晶間隙17,而完成此含有LDD結構的多晶矽薄膜電晶體,如圖1g所示。

由於傳統多晶矽薄膜電晶體的製程複雜,製作成本高,不易於市場上取得優勢。又,在製作閘極和雜質注入,



## 五、發明說明 (3)

其中包含閘極、 $n^+$ 、 $n^-$ 、以及 $p^+$ 多晶矽層，所需的光罩數目多。既使加入反向器摻入(counter doping)的技術可以減少光罩數目來完成，唯，所製作出的LDD長度，因為對準誤差的關係，多會有不對稱的問題。而陽極氧化的方法，雖可以製作出對稱的LDD長度，但所需的製作成本高，且在畫素(pixel)和驅動電路中的薄膜電晶體製作不同長度或是較長的LDD長度更是困難，甚且有大量面積陽極氧化不均勻的問題，所需的光罩數目也多。製作多晶間隙、或是加超蝕刻閘電極等方法，也都存在這些問題。

## 發明概要

本發明克服習知之含LDD結構之多晶矽薄膜電晶體的製作方法的缺點。其主要目的之一是，提供一種含LDD結構之多晶矽薄膜電晶體的製作方法，此製作方法使用較少道光罩，製作出包含閘極、 $n^+$ 、 $n^-$ 、以及 $p^+$ 的結構，且LDD區域在汲極與源極是對稱且完全自我對準的結構。

本發明之製作方法主要包含閘極前處理步驟、灰階光罩曝光步驟、 $n^+$ 雜質摻入( $n^+$  doping)步驟、 $n^-$ 雜質摻入( $n^-$  doping)步驟，以及 $p^+$ 雜質摻入( $p^+$  doping)步驟。

根據本發明，閘極前處理步驟可沿用既有的製程，包括多晶矽島丘的形成、閘極絕緣層的形成、和閘極材料的



## 五、發明說明 (4)

濺鍍(sputter)。在灰階光罩曝光步驟中，只在N型薄膜電晶體區域曝上閘極圖案(使用第一道光罩)，曝光的光罩為灰階光罩，灰階的部分即為LDD的區域。閘極匯流排線(gate bus line)與P型閘極(p-type gate)則再上光阻曝光而定義(使用第二道光罩)，亦即，在 $p^+$ 雜質摻入步驟中處理。因LDD的區域是以光罩來控制，所以LDD區域在汲極與源極可以做到相當準確且對稱。

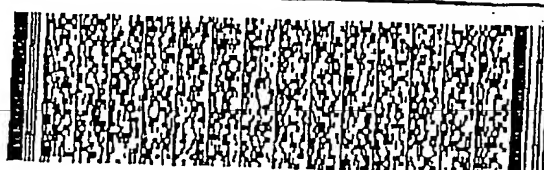
本發明之另一目的是，此種含LDD結構之多晶矽薄膜電晶體的製作方法可在不同的區域，依元件的需求，製作不同長度的LDD，並且可將其均勻度控制的相當好。

在本發明的較佳實施例中，在 $n^+$ 雜質摻入步驟中係選用高劑量的磷為摻雜物質，在 $n^-$ 雜質摻入步驟中選用低劑量的磷為摻雜物質，在 $p^+$ 雜質摻入步驟中則選用高劑量的硼為摻雜物質。

茲配合下列圖式、實施例之詳細說明及專利申請範圍，將上述及本發明之其他目的與優點詳述於后。

## 圖式之簡要說明

圖1a~圖1g說明一習知之含LDD結構的多晶矽薄膜電晶體的製作流程。



## 五、發明說明 (5)

圖2為根據本發明，含LDD結構的多晶矽薄膜電晶體的一剖面結構示意圖。

圖3~圖7為根據本發明，含LDD結構的多晶矽薄膜電晶體的製作流程。

圖3說明本發明的開極前處理步驟。

圖4說明本發明的灰階光罩曝光步驟。

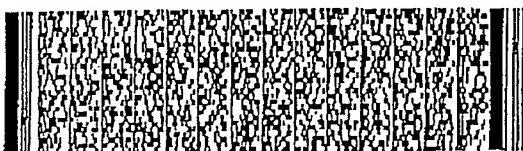
圖5a說明本發明繼灰階光罩曝光步驟後之開金屬層的蝕刻步驟。

圖5b說明本發明的摺入 $n^+$ 雜質，以形成濃摺入區域的步驟。

圖5c說明本發明繼形成濃摺入區域後之去除部分光阻的步驟。

圖6a說明本發明繼去除部分光阻後，進行開金屬層的蝕刻以形成開多晶矽區域的步驟。

圖6b說明本發明的摺入 $n^-$ 雜質，以形成淡摺入區域的步驟。





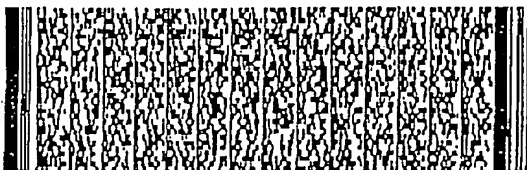
## 五、發明說明 (6)

圖6c說明本發明繼形成淡摺入區域後的光阻去除步驟。

圖7為根據本發明，開極匯流排線與p型開極完成後的一剖面結構示意圖。

## 圖號說明

- |                     |                 |
|---------------------|-----------------|
| 11 主動多晶矽層           | 12 下層熱氧化物層      |
| 13 氮化物層             | 14 上層熱氧化物層      |
| 15 開多晶矽             | 16 頂層熱氧化物層      |
| 17 多晶間隙             | 18 淡摺入區域        |
| 19 濃摺入區域            |                 |
| 200 本發明之較佳實施例的一剖面結構 |                 |
| 202 基板              | 204 主動多晶矽層      |
| 212a $n^+$ 摺入區域     | 212b $n^-$ 摺入區域 |
| 222 $p^+$ 摺入區域      | 232 開絕緣層        |
| 242 有圖案成形的開金屬       |                 |
| 332 開金屬層            |                 |
| 402 光阻              |                 |



## 五、發明說明 (7)

502 閘極圖案

506 剩餘的光阻

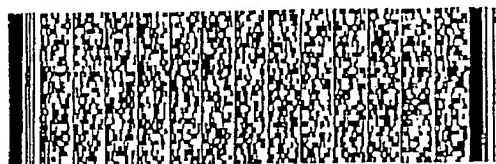
## 發明之詳細說明

以下詳細說明本發明之一較佳實施例的製作流程。

首先，參考圖2，圖2為根據本發明，含LDD結構的多晶矽薄膜電晶體之一較佳實施例的一剖面結構示意圖。如圖2所示，此含LDD結構的多晶矽薄膜電晶體200含有一主動多晶矽層204於一基板202的上方，此主動多晶矽層204外圍的周邊分別形成n-多晶矽區域(含n<sup>+</sup>摻入區域212a和n<sup>-</sup>摻入區域212b)，和p-多晶矽區域(即p<sup>+</sup>摻入區域222)，整個基底的上方形成一閘絕緣層232，此閘絕緣層232的上方係一有圖案成形的閘金屬(patterned gate metal)區域242。根據本發明，此LDD結構在汲極(drain)和源極(source)具對稱且自我對準的結構。

如前所述，本發明之含LDD結構的多晶矽薄膜電晶體的製作方法主要包含閘極前處理、影子光罩曝光、n<sup>+</sup>雜質摻入、n<sup>-</sup>雜質摻入，和p<sup>+</sup>雜質摻入的步驟。接下來，於圖3~圖7中詳細說明這些步驟的製作流程。

圖3說明根據本發明之閘極前處理步驟的製作流程。

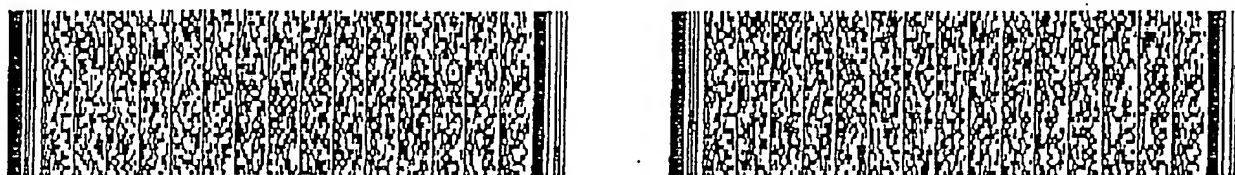


## 五、發明說明 (8)

此開極前處理步驟可沿用既有的製程，包括多晶矽島丘的形成、開極絕緣層的形成、和開極材料的濺鍍。參考圖3，於基底202的上方形成島丘狀的主動多晶矽層204，此主動多晶矽層204的上方再植入一開絕緣層232，於開絕緣層232的上方濺鍍開極材料，形成一開金屬層332。此開金屬層332可選自一群含有鎢(W)和鉬(Mo)的化合物、鋁(Al)、鋁合金(Al-alloy)、鈦(Ti)、鉻(Cr)、鉬及前述材質組合而成的多層(multilayer)，其中的一種金屬材質。

根據本發明，將開極材料濺鍍好，並上完光阻後，接下來進行灰階光罩曝光步驟，只在n型薄膜電晶體區域曝上開極圖案(使用第一道光罩)，曝光的光罩為灰階光罩，灰階部分即為LDD的區域。圖4說明根據本發明之灰階光罩曝光步驟的製作流程。參考圖4，在開金屬層332的上方上完光阻後，進行灰階光罩曝光，而曝光的光罩稱為灰階光罩，也是本發明的製作流程所使用的第一道光罩。曝光和顯影後所得的光阻如標號402所示。

繼圖4之灰階光罩曝光後，接著進行開金屬層的蝕刻(etching)、 $n^+$ 雜質的摻入，和光阻的部分去除(ashing)步驟。圖5a至圖5c一一說明此三個步驟的流程。首先，蝕刻開金屬層332，以鑄成開極圖案(gate patterning)502，其結果如圖5a所示。之後，以高劑量摻雜物植入於島丘狀的主動多晶矽層204內的外圍周邊區域，以形成一濃摻



## 五、發明說明 (9)

入區域，即 $n^+$ 摻入區域212a，如圖5b所示。本發明之較佳實施例中，摻雜物可使用高劑量的磷(P)。在濃摻入區域212a形成後，將光阻402去除兩旁延伸的部份，剩餘的光阻506如圖5c所示。本發明之較佳實施例中，使用氧電漿( $O_2$  plasma)將光阻402兩旁延伸的部份乾蝕刻(dry etching)並去除。

完成圖5a至圖5c的程序後，接下來進行開金屬層的蝕刻、 $n^-$ 雜質的摻入，和光阻的去除步驟。圖6a至圖6c一一說明此三個步驟的流程。首先，蝕刻光阻506之下層的開極圖案502露出的部份，以形成開多晶矽區域242，其結果如圖6a所示。之後，以低劑量摻雜物植入島丘狀的主動多晶矽層204內，且在濃摻入區域212a的內圈地帶(inner band)，以形成淡摻入區域，即 $n^-$ 摻入區域212b，如圖6b所示。本發明之較佳實施例中，摻雜物可使用高劑量的磷。最後，將光阻506去除，其結果如圖6c所示。

完成圖6a至圖6c的程序後，接下來進行開極匯流排線與P型開極的製作流程，亦即P型開極的曝光、 $p^+$ 雜質的摻入，和光阻去除的步驟。圖7為此三個步驟完成後的一剖面結構示意圖。根據本發明，此開極匯流排線與P型開極的製作程序係再上光阻曝光定義(使用第二道光罩)，經蝕刻開金屬層332後，直接以高劑量摻雜物植入島丘狀主動多晶矽層204內的外圍周邊區域，以形成一濃摻入區域，

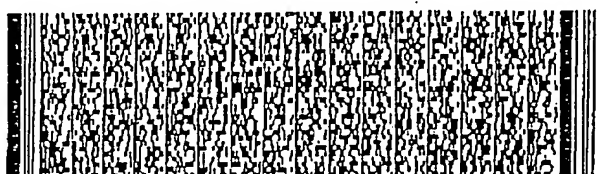


## 五、發明說明 (10)

即p<sup>+</sup>摻入區域222，本發明之較佳實施例中，選用高劑量的硼(B)為摻雜物質。最後，再將光阻去除。

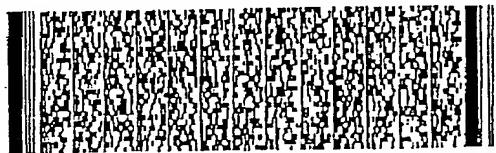
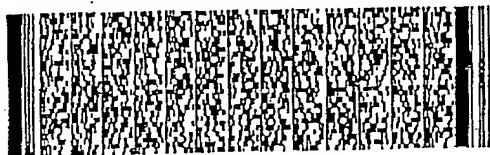
因此，根據本發明，LDD的區域是以光罩的灰階區域來控制，所以LDD區域在汲極與源極可以做到完全自我對準，故相當準確且具對稱結構。又，依元件的需求，可在不同的區域，製作不同長度的LDD，並且可將其均勻度控制的相當好。

唯，以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍。即大凡依本發明申請專利範圍所作之均等變化與修飾，皆應仍屬本發明專利涵蓋之範圍內。



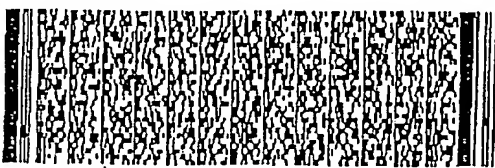
## 六、申請專利範圍

1. 一種含淡摻入汲極結構之多晶矽薄膜電晶體的製作方法，該製作方法包含下列步驟：
  - (a) 提供一基板，並在該基底的上方形成一島丘狀主動多晶矽層；
  - (b) 植入一閘絕緣層於該島丘狀主動多晶矽層的上方；
  - (c) 在該閘絕緣層的上方濺鍍一閘極材料，以形成一閘金屬層；
  - (d) 使用一灰階光罩作為第一光罩，利用一黃光製程，在該閘金屬層的上方進行曝光；
  - (e) 在該島丘狀主動多晶矽層內的外圍周邊區域，藉由植入高劑量 $n^+$ 摻雜物質，來形成一濃摻入區域；
  - (f) 在該島丘狀主動多晶矽層內，且在該濃摻入區域的內圍周邊區域，藉由植入低劑量 $n^-$ 摻雜物質，來形成一淡摻入區域；以及
  - (g) 使用一第二光罩，利用一黃光製程，蝕刻該閘金屬層後，藉由植入高劑量 $p^+$ 摻雜物質於該島丘狀主動多晶矽層內的外圍周邊區域，來形成一濃摻入區域。
2. ~~如專利申請範圍第1項所述之淡摻入汲極結構之多晶矽薄膜電晶體的製作方法，其中，在該步驟(e)之植入高劑量 $n^+$ 摻雜物質之前，更包含蝕刻該閘金屬層的步驟。~~



## 六、申請專利範圍

3. 如專利申請範圍第1項所述之淡摻入汲極結構之多晶矽薄膜電晶體的製作方法，其中，在該步驟(e)之植入高劑量 $n^+$ 摻雜物質之後，更包含一去除該閘金屬層上方一部分光阻的步驟。
4. 如專利申請範圍第1項所述之淡摻入汲極結構之多晶矽薄膜電晶體的製作方法，其中，在該步驟(f)之植入低劑量 $n^-$ 摻雜物質之前，更包含蝕刻該閘金屬層的步驟。
5. 如專利申請範圍第1項所述之淡摻入汲極結構之多晶矽薄膜電晶體的製作方法，其中，在該步驟(f)之植入低劑量 $n^-$ 摻雜物質之後，更包含一去除光阻的步驟。
6. 如專利申請範圍第1項所述之淡摻入汲極結構之多晶矽薄膜電晶體的製作方法，其中，該 $n^+$ 摻雜物質係一高劑量的磷。
7. 如專利申請範圍第1項所述之淡摻入汲極結構之多晶矽薄膜電晶體的製作方法，其中，該 $n^-$ 摻雜物質係一高劑量的磷。
8. 如專利申請範圍第1項所述之淡摻入汲極結構之多晶矽薄膜電晶體的製作方法，其中，該 $p^+$ 摻雜物質係一高



## 六、申請專利範圍

劑量的硼。

9. 如專利申請範圍第1項所述之淡摻入汲極結構之多晶矽薄膜電晶體的製作方法，其中，在該步驟(g)之植入高劑量 $p^+$ 摻雜物質之前，更包含下列步驟：  
(g1) 在該閘金屬層的上方塗佈一光阻材料；以及  
(g2) 進行一P型閘極曝光程序，並蝕刻該閘金屬層以定義p型閘極。
10. 如專利申請範圍第1項所述之淡摻入汲極結構之多晶矽薄膜電晶體的製作方法，其中，在該步驟(g)之植入高劑量 $p^+$ 摻雜物質之後，更包含一去除光阻的步驟。
11. 如專利申請範圍第3項所述之淡摻入汲極結構之多晶矽薄膜電晶體的製作方法，其中，該去除一部分光阻的步驟係使用氧電漿將該光阻兩旁延伸的部份乾蝕刻並去除。





465117

FREE

修正  
補充  
90年9月16日

圖 1b

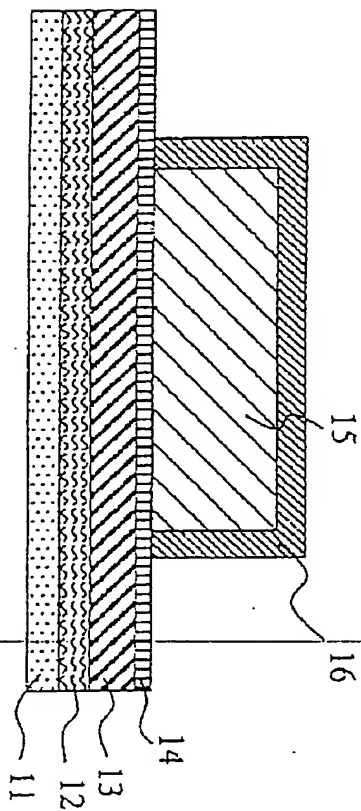
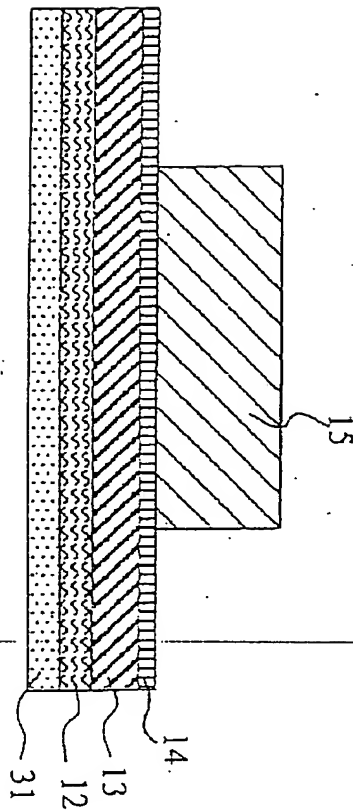


圖 1a



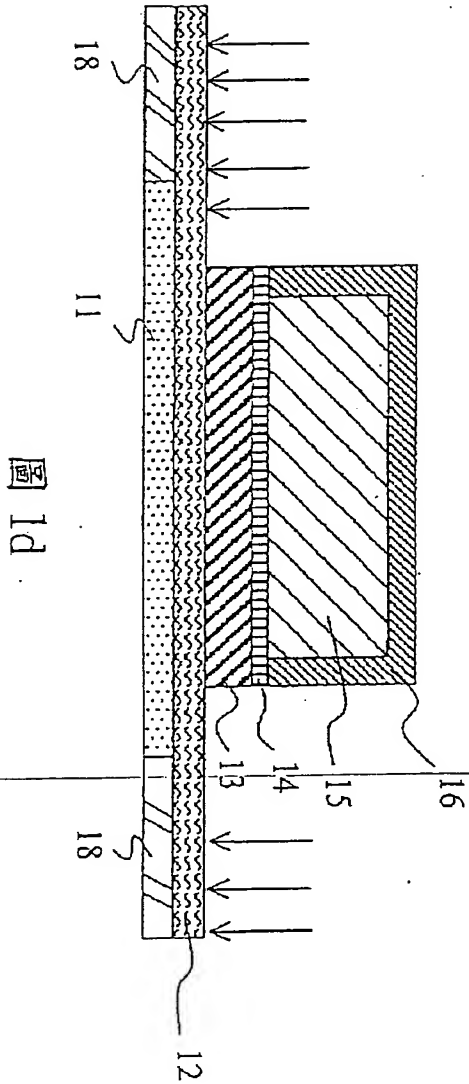


圖 1d

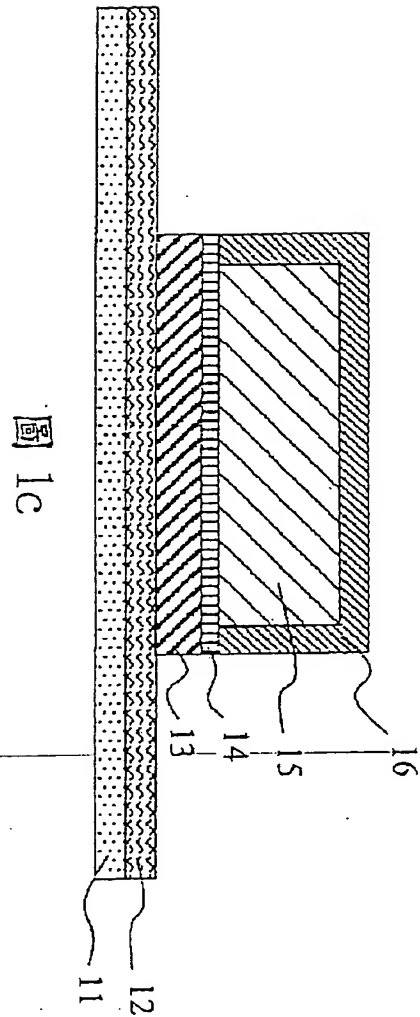


圖 1c

FREE

465117

FREE

90年9月26日 修正  
補充

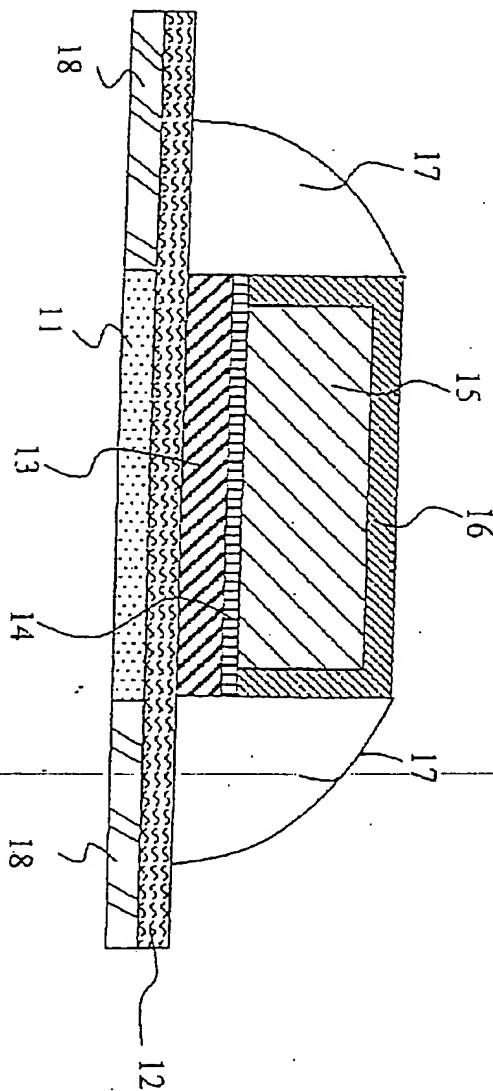


圖 1e

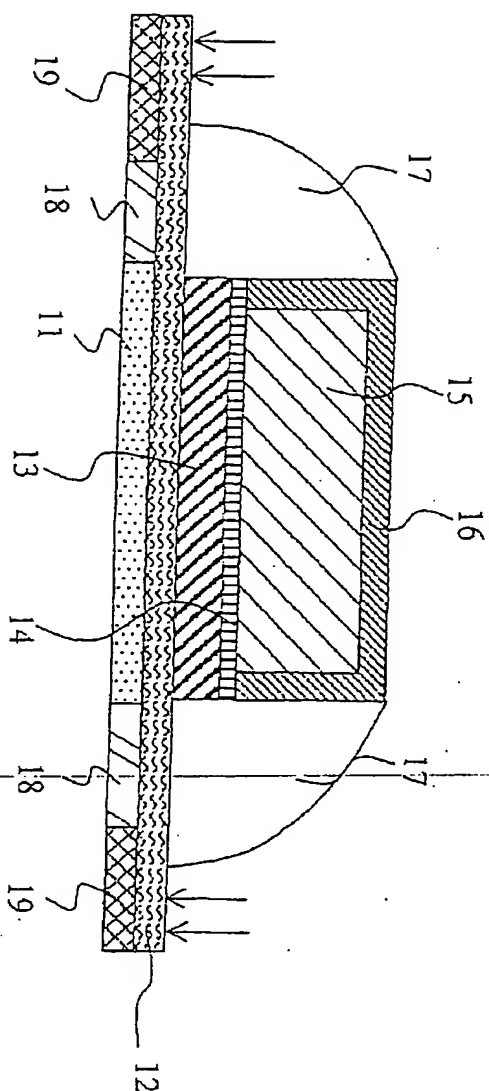
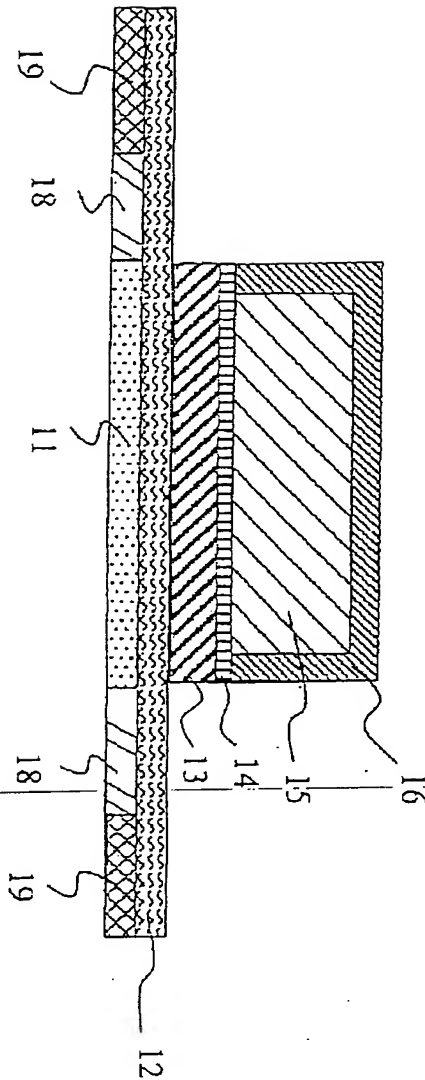


圖 1f

4 6511 7

90年9月26日 修正  
補記

圖 1g



FREE

BEST AVAILABLE COPY

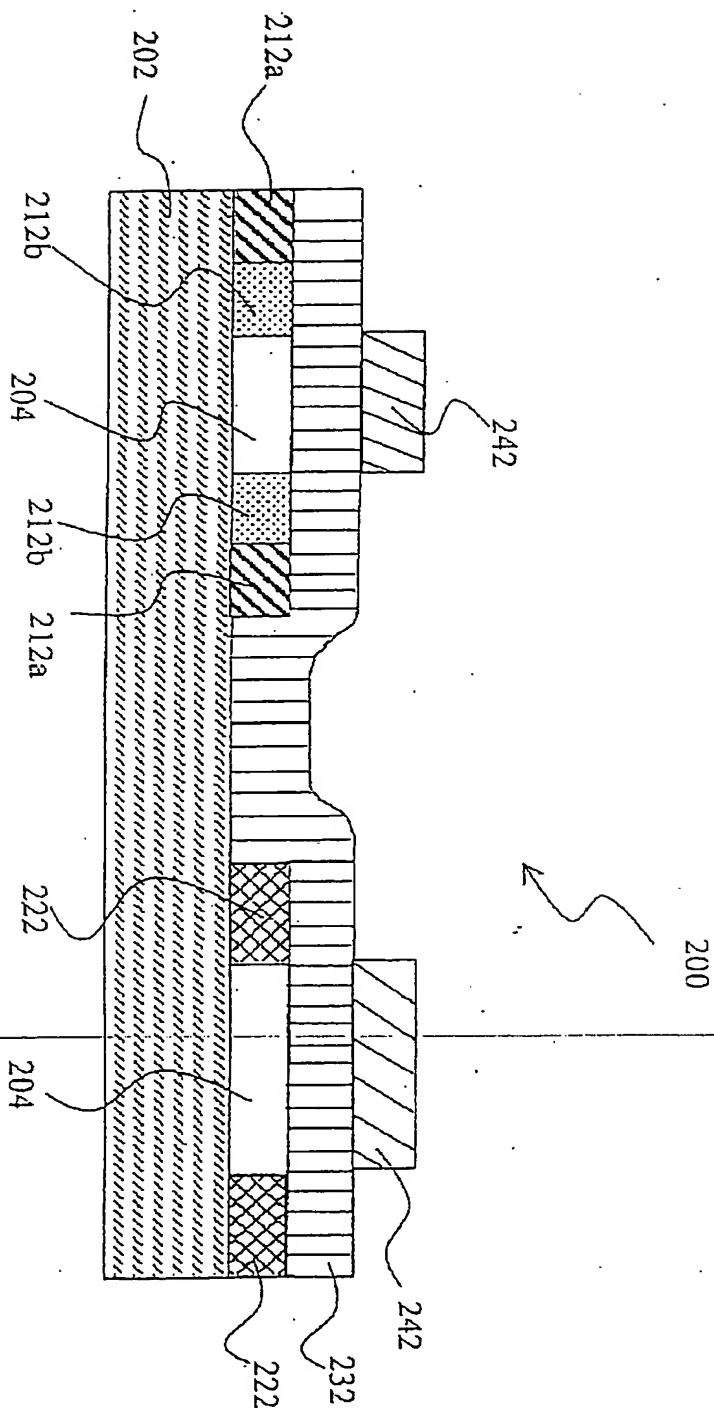
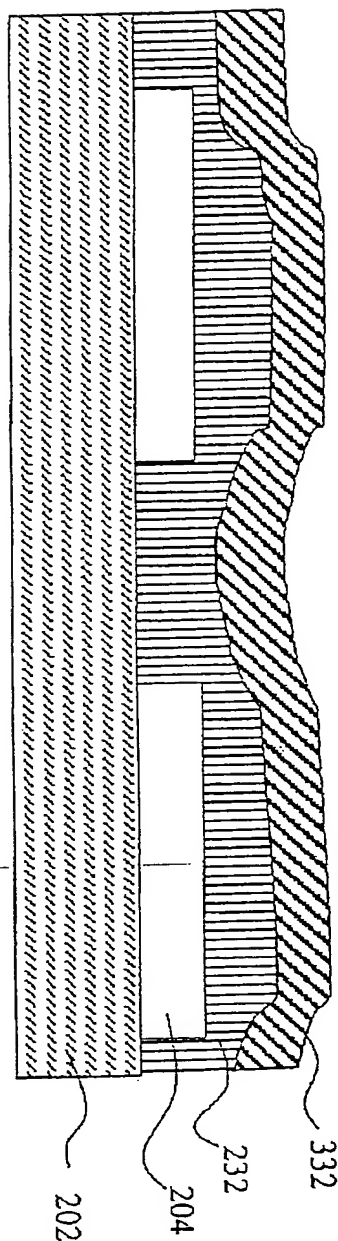


圖 2

FREE

465117

Fig 3



FREE

BEST AVAILABLE COPY

4 6 5 1 1

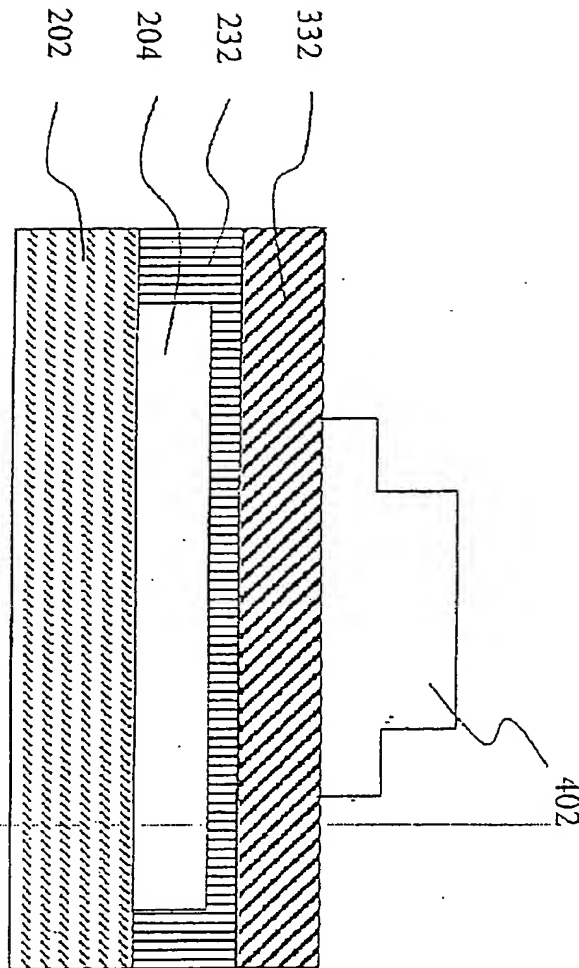


圖 4

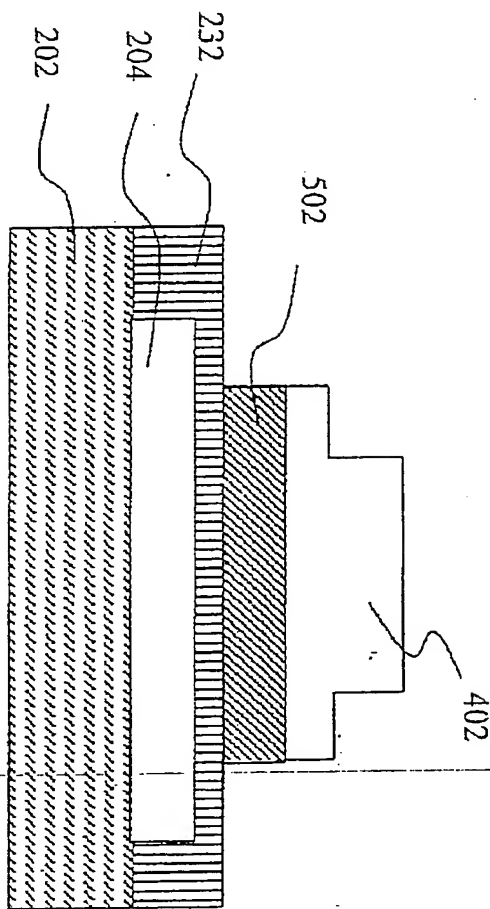
FREE

BEST AVAILABLE COPY

46511

FREE

FIG 5a





FREE

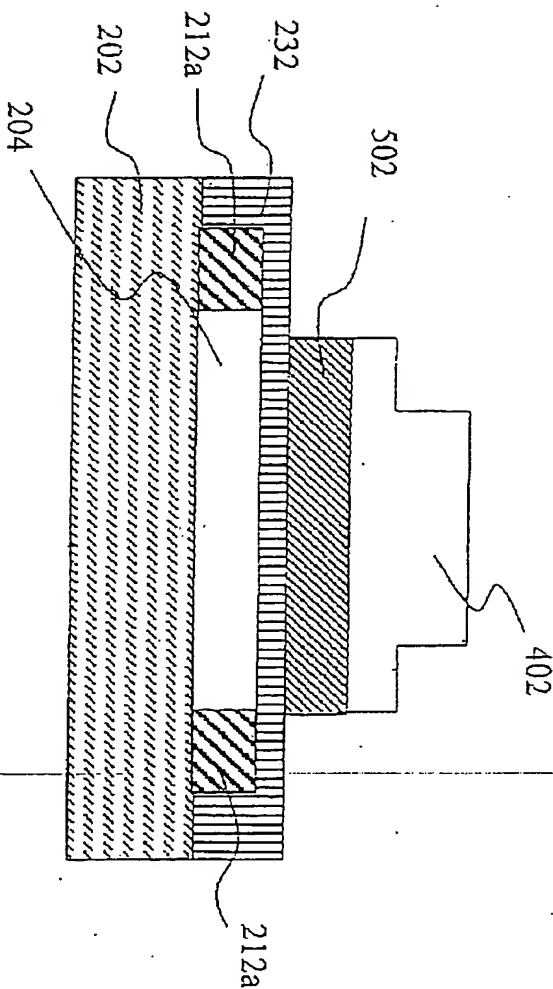


图 5b

**THIS PAGE BLANK (USPTO)**